

PAT-NO: JP410270741A

DOCUMENT-IDENTIFIER: JP 10270741 A

TITLE: SEMICONDUCTOR PHOTORECEPTOR

PUBN-DATE: October 9, 1998

INVENTOR-INFORMATION:

NAME

OKUBO, NORIO

ASSIGNEE-INFORMATION:

NAME COUNTRY

FURUKAWA ELECTRIC CO LTD:THE N/A

APPL-NO: JP09077207

APPL-DATE: March 28, 1997

INT-CL (IPC): H01L031/10

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor photoreceptor operating at a high speed over a wide frequency band.

SOLUTION: A semiconductor photoreceptor 10 with a light incidence plane has a semi-insulating substrate 12. InP buffer layer 14 with 0.5 μm film thickness, n-InP electrode contact layer 16 with 0.5 μm film thickness, i-InP carrier transition layer 18 with 0.3 μm film thickness, i-InGaAs light

absorption layer 20 with 0.3 μm film thickness, and n-InP cap layer 22 with 0.2 μm film thickness which form a semiconductor structure laminated in this order on the substrate 12. The cap, light absorption, carrier transition and electrode contact layers of the foregoing layers are processed to constitute a mesa structure. On the cap and electrode contact layers 22, 16, p- and n-side electrodes 24, 26 are formed respectively. Further, on the region of the mesa structure and on the region of the surface of the electrode contact layer 16 wherefrom the electrode 26 is excluded, a silicon nitride film 28 is formed. The portion present inside the p-side electrode 24 is a circular light reception plane 30 with an antireflection film.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-270741

(43)公開日 平成10年(1998)10月9日

(51)Int.Cl.

H01L 31/10

識別記号

P I

H01L 31/10

A

審査請求 未請求 請求項の数3 OL (全 5 頁)

(21)出願番号 特願平9-77207

(22)出願日 平成9年(1997)3月28日

(71)出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72)発明者 大久保 典雄

東京都千代田区丸の内2丁目6番1号 古
河電気工業株式会社内

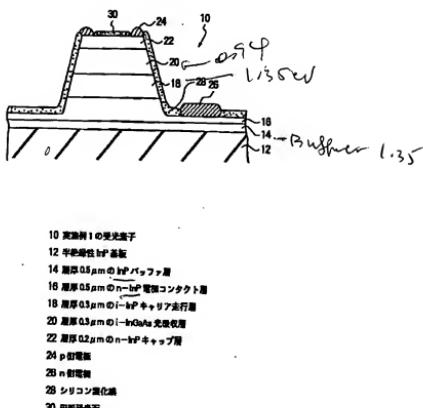
(74)代理人 弁理士 郡垣 晴 (外2名)

(54)【発明の名称】 半導体受光素子

(57)【要約】

【課題】 広帯域にわたり高速で動作する半導体受光素子を提供する。

【解決手段】 本半導体受光素子10は、面入射型の受光素子であって、半絶縁性InPの基板12と、基板上に順次形成された、層厚0.5μmのInPバッファ層14、層厚0.5μmのi-InP電極コントクト層16、層厚0.3μmのi-InPキャリヤ走行層18、層厚0.2μmのn-InPキャップ層22の半導体積層構造を備えている。半導体積層構造のうち、キャップ層、光吸収層、キャリア走行層及び電極コントクト層の上部層は、メサ構造に加工されている。キャップ層上にP側電極24、及び電極コントクト層にはn側電極26が形成され、更に、メサ構造及び電極コントクト層の面の電極を除く領域にはシリコン塗化膜28が成膜されている。P側電極の内側は、反射防止膜を備えた円形受光面30となっている。



【特許請求の範囲】

【請求項1】 少なくとも、光吸収層と、n側電極に電気的に接触する半導体電極接触層とを有する半導体積層構造を備えた半導体受光素子において、受光する光のエネルギーより広いバンドギャップを有し、キャリア濃度が光吸収層とほぼ同じ半導体層が、キャリア走行層として、光吸収層と半導体電極接触層との間で光吸収層に接して設けられていることを特徴とする半導体受光素子。

【請求項2】 光吸収層が、バンドギャップの相互に異なる半導体層の積層構造により構成され、正孔の走行を速める内底電界が光吸収層内に形成されるように、キャリア走行層に近い層ほどバンドギャップが大きくなっていることを特徴とする請求項1に記載の半導体受光素子。

【請求項3】 光吸収層が、キャリア濃度の相互に異なる半導体層の積層構造により構成され、正孔の走行を速める内底電界が光吸収層内に形成されるように、キャリア走行層に近い層ほどキャリア濃度が高くなっていることを特徴とする請求項1に記載の半導体受光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体受光素子に関し、更に詳細には、広帯域にわたり高速動作性に優れた半導体受光素子に関するものである。

【0002】

【従来の技術】発光素子により電気信号を光信号に変換し、光ファイバーを経由して受光素子により光信号を受光し、かつ受光した光信号を電気信号に変換する光通信システムでは、高速で高効率な動作特性が発光素子及び受光素子に要求されている。特に、将来的な高速大容量光通信システムでは、広帯域にわたり高速動作性に優れた半導体受光素子(Photo Diode)が必要不可欠である。

【0003】

【発明が解決しようとする課題】ところで、p-i-n型半導体受光素子では、面入射型及び導入路型のいずれの受光素子でも、応答速度はキャリアが空乏層を走行する走行時間の長さに依存し、周波数特性は受光素子のCR時定数の大小に依存している。即ち、走行時間が短い程、受光素子の応答速度が速くなり、また、CR時定数が小さい程、受光素子の周波数帯域が広くなる。しかし、応答速度を高めるために、空乏層を薄くして、キャリア走行時間を短くしようとすると、薄くなった空乏層のために接合容量が増大して、CR時定数が大きくなり、トレードオフの形で受光素子の感度が制限される。従って、従来、広帯域にわたり高速動作性に優れた受光素子を実現することは難しかった。

【0004】そこで、本発明の目的は、広帯域にわたり高速で動作する半導体受光素子を提供することである。

【0005】

【課題を解決するための手段】上述のように、單に空乏層を薄くしてキャリア走行距離を回避しようとすると、トレードオフの形で受光素子の感度が制限される。そこで、本発明者は、正孔のドリフト速度が電子のドリフト速度より一桁程度低く、それがキャリア走行距離の要因になっていることに着目した。そして、單に、正孔走行時間を短縮するだけではなく、光吸収層を薄くすれば良いが、CR時定数の増大や受光感度の低下を引き起こす等の問題が多いので、光信号の吸収領域をキャリア走行領域とを分離し、光信号の吸収領域として、バンドギャップが受光する光のエネルギーより小さな光吸収層を設け、キャリア走行領域として、光吸収層上にそれと接し、バンドギャップが受光する光のエネルギーより大きく、単に光吸収層からの電子を走行させるキャリア走行層とを設けることとした。そして、光吸収層の層厚を従来の光吸収層より薄くし、光吸収層とキャリア走行層との層の和が従来の光吸収層の層厚より厚くなるようにした。これにより、接合容量は光吸収層とキャリア走行層の厚さの和により規定されて小さくなるので、CR時定数は小さくなる。一方、次に説明するように、キャリア走行距離は生じない。それは、ドリフト速度の速い電子が光吸収層及びキャリア走行層を走行し、ドリフト速度の遅い正孔は常に光吸収層のみを走行するからである。このようにして、CR時定数を小さく維持しつつキャリア走行距離時間を短くすることができ、キャリア走行距離とCR時定数とのトレードオフを満足させることができる。

【0006】得た上述の知見に基づいて、上記目的を達成するために、本発明に係る半導体受光素子は、少なくとも、光吸収層と、n側電極に電気的に接触する半導体電極接触層とを有する半導体積層構造を備えた半導体受光素子において、受光する光のエネルギーより広いバンドギャップを有し、キャリア濃度が光吸収層とほぼ同じ半導体層が、キャリア走行層として、光吸収層と半導体電極接触層との間で光吸収層に接して設けられていることを特徴としている。本発明では、受光する光のエネルギーよりバンドギャップが大きく、かつ電子のドリフト速度が大きい材料により、キャリア走行層を形成する。

【0007】好適には、光吸収層が、バンドギャップの相互に異なる半導体層の積層構造により構成され、正孔の走行を速める内底電界が光吸収層内に形成されるように、キャリア走行層に近い層ほどバンドギャップが大きくなっているようになる。また、光吸収層が、キャリア濃度の相互に異なる半導体層の積層構造により構成され、正孔の走行を速める内底電界が光吸収層内に形成されるように、キャリア走行層に近い層ほどキャリア濃度が高くなっているようになる。これにより、応答速度が速くなり、周波数帯域が広くなる。更には、好適には、勾配の付いた(グレーディッド化された)バンドギャップ

又はキャリア濃度を有するように、光吸収層を構成する積層構造を形成する。

【0008】

【発明の実施の形態】通常、光通信に用いられている波長1.3μm、又は1.55μmの光を吸収させる場合には、好ましくは、光吸収層にはInGaAs、InGaAlAs、またはInGaAsPを使用し、キャリア走行層にはInPを使用する。光吸収層をグレーディッドバンドギャップ化する際には、ホールに対して内蔵電界が生じるよう、キャリア走行層から離れるに従いパンドギャップが小さくなるようにする。また、キャリア濃度勾配に付けて、光吸収層に内蔵電界を形成するために、キャリア走行層から離れるに従いn型の光吸収層で有ればキャリア濃度が減少するようすれば良いし、p型の光吸収層で有ればキャリア濃度が増加するようすればよい。また、キャリア走行層から離れるにつれて、n型からp型へと導電型が変更するようにしても良い。以下に、添付図面を参照し、実施例を挙げ、本発明の実施の形態を具体的かつ詳細に説明する。

【0009】

【実施例】

実施例1

本実施例は、本発明に係る半導体受光素子の基本的な構成を有する実施例であって、図1は実施例1の半導体受光素子の層構造を示す模式的断面図である。本実施例の半導体受光素子（以下、簡単に受光素子と言ふ）100は、面入射型の受光素子であって、図1に示すように、半絶縁性InPの基板12上に、エピタキシャル結晶成長法により基板12上に、順次、形成された、層厚0.5μmのInPバッファ層14、層厚0.5μmのn-i-nP電極コントクト層16、層厚0.3μmのi-InGaAs光吸収層20及び層厚0.2μmのn-i-nPキャップ層22の半導体層構造を有している。

【0010】各半導体層のバンドギャップ及びキャリア濃度は、以下の通りである。

バッファ層14：バンドギャップ/1.35eV
キャリア濃度/ $1 \times 10^{17} \text{ cm}^{-3}$

電極コントクト層16：バンドギャップ/1.35eV
キャリア濃度/ $1 \times 10^{19} \text{ cm}^{-3}$

キャリア走行層18：バンドギャップ/1.35eV
光吸収層20：バンドギャップ/0.74eV

キャップ層22：バンドギャップ/1.35eV
キャリア濃度/ $1 \times 10^{19} \text{ cm}^{-3}$

【0011】半導体層構造のうち、キャップ層22、光吸収層20、キャリア走行層18及び電極コントクト層16の上部側は、メサ構造に加工されている。メサ構造の最上層を成すキャップ層22上にn側電極24、及び電極コントクト層16上にi側電極26が形成され、更に、メサ構造及び電極コントクト層16の面の電

極を除く領域には、保護膜及び反射防止膜としてシリコン化膜28が成膜されている。p側電極24の内側は、反射防止膜28を備えた直径20μmの円形受光面30となっている。

【0012】以下に、実施例1の受光素子10の作製方法の概略を説明する。先ず、基板12上に、順次、バッファ層14、電極コントクト層16、キャリア走行層18、光吸収層20及びキャップ層22をエピタキシャル結晶成長する。次いで、既知のリソグラフィ技術を用いてエッチングマスクをバーニングし、得たエッチングマスクをマスクにして、エッチング液によるウェットエッチングを施して、キャップ層22、光吸収層20、及びキャリア走行層18の上部層をエッチングして、面入射型光素子のメサ構造を形成する。次いで、保護膜2

10及び電極24、26等を形成し、面入射型の受光素子10を完成する。

【0013】実施例2

本実施例は請求項2に記載の本発明に係る半導体受光素子の実施例であって、図2は実施例2の受光素子の層構

造の要部を模式的に示している。本実施例の受光素子40は、その光吸収層20が、実施例1のi-InGaAsのnバッファ層に代えて、正孔に対して内蔵電界が生じるように、バンドギャップが0.74eVで層厚0.15μmのInGaAlAsからなる下部光吸収層42とパンドギャップが0.74eVの層厚0.15μmのInGaAsからなる上部光吸収層44とをそれぞれエピタキシャル結晶成長させた2層構造とし、下部光吸収層42がキャリア走行層18に接するようにしてキャリア走行層18上に形成されている。実施例2の受光素子は、光吸収層20の構造を除いて、実施例1と同じ構成を備えている。

【0014】実施例3

本実施例は請求項3に記載の本発明に係る半導体受光素子の実施例であって、図3は実施例3の受光素子の層構

造の要部を模式的に示している。本実施例の受光素子50は、その光吸収層が、実施例1のi-InGaAsの

バルク層に代えて、正孔に対して内蔵電界が生じるよう、キャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ で層厚が0.15μmのn-InGaAsからなる下部光吸収層52と、

40 キャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ で層厚が0.15μmのn-InGaAsからなる上部光吸収層54とをそれぞれエピタキシャル結晶成長させた2層構造とし、下部光吸収層52がキャリア走行層18に接するようにしてキャリア走行層18上に形成されている。

【0015】従来例

本発明に係る半導体受光素子との比較を行うために、実施例1のキャリア走行層18を光吸収層20と同じi-InGaAs層として、層厚0.6μmの光吸収層20としたことを除いて、構成が実施例1の受光素子10と同じ受光素子、即ち従来の構成を有する受光素子を従来

例として作製した。

【0016】実施例1から3の受光素子及び從来例の受光素子に対する波長1、 $5.5\mu\text{m}$ の変調光信号に対する3dB低下帯域を測定したところ、それぞれ、3.5GHz、4.5GHz、4.8GHz及び2.3GHzの帯域を得た。以上の結果から、実施例1から3の受光素子は、従来の受光素子に比べて、帯域が広く、高遮光容量光通用に適していることが判る。

【0017】以上、本発明の実施例の一つについて述べたが、光吸収層とキャリア走行層の上下に光を閉じ込めるクラッド層を形成した導波路型受光素子として本発明を構成することもできる。また、光吸収層とキャリア走行層とはヘテロ界面となっているので、伝導帯にはヘテロ接合スパイクが形成され、それに伴うボテンシャルの井戸が電子特性に悪影響を及ぼすことが懸念される。その場合には、バンドギャップを滑らかに狭くするにグレーディッド領域を設ける等の改良を行うことができることは言うまでもない。

【0018】

【発明の効果】本発明によれば、少なくとも、光吸収層とn側電極に電気的に接触する半導体電極接触層とを有する半導体積層構造を備えた半導体受光素子において、更に、受光する光エネルギーより広いバンドギャップを有し、キャリア濃度が光吸収層とほぼ同じ半導体層をキャリア走行層として光吸収層と半導体電極接触層との間で光吸収層上に接して設けることにより、CR時定数を小さく維持しつつキャリア走行時間を短縮し、広帯域

にわたり高速動作性に優れた半導体受光素子を実現している。

【図面の簡単な説明】

【図1】実施例1の受光素子の層構造を示す模式的断面図である。

【図2】実施例2の受光素子の層構造の要部を示す模式的断面図である。

【図3】実施例3の受光素子の層構造の要部を示す模式的断面図である。

【符号の説明】

10 1. 実施例1の受光素子

1. 半絶縁性InP基板

14 層厚0.5μmのInPバッファ層

16 層厚0.5μmのn-InP電極コンタクト層

18 層厚0.3μmのi-InPキャリア走行層

20 層厚0.3μmのi-InGaAs光吸収層

22 層厚0.2μmのn-InPキャップ層

24 p側電極

26 n側電極

28 シリコン焼化膜

30 円形受光面

40 実施例2の受光素子

42 下部光吸収層

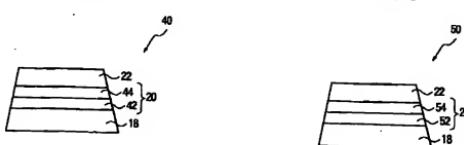
44 上部光吸収層

50 実施例3の受光素子

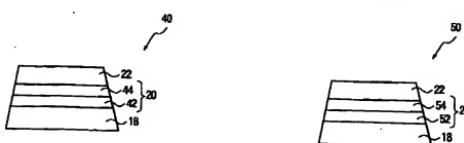
52 下部光吸収層

54 上部光吸収層

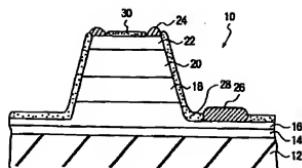
【図3】



【図2】



【図1】



- 10 放光部1の発光量子
- 12 半導體性InP基板
- 14 厚さ0.5μmのInPバッファ層
- 16 厚さ0.5μmのn-InP電極コンタクト層
- 18 厚さ0.3μmのi-InPキャリア注入層
- 20 厚さ0.3μmのi-InGaAs活性層
- 22 厚さ0.2μmのn-InPキャップ層
- 24 p型層
- 26 n型層
- 28 シリコン酸化膜
- 30 内形観表面